

2026 VLSI Review

KAIST 전기 및 전자공학부 박사과정 박수언

Session 28 High-Resolution Data Converters

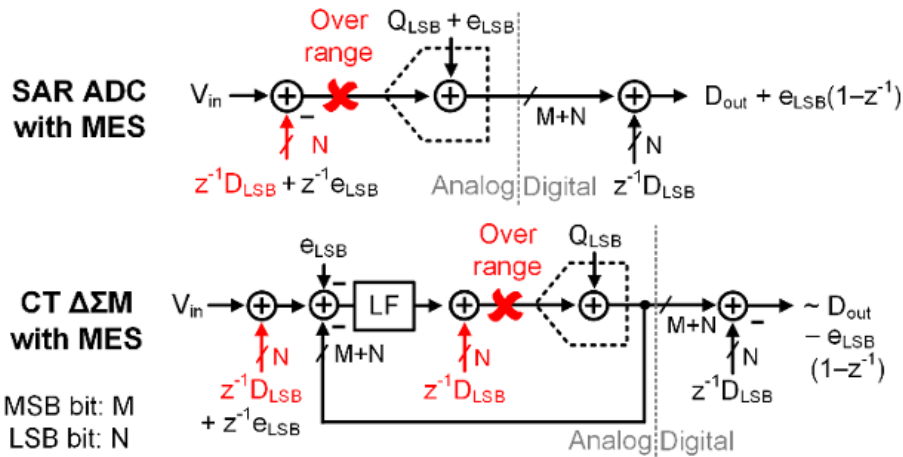
Session 28은 고해상도 Data Converter의 성능 한계를 극복하기 위한 회로 기술들이 제시되었다. 본 글에서는 연세대학교에서 발표한 CT Zoom ADC (C28.2)에 주목하여, 기존 Mismatch Error Shaping(MES) 기법의 한계를 극복한 아키텍처를 다뤄보고자 한다.

#28-2 논문은 연속 시간(Continuous-Time, CT) Zoom ADC에서 DAC mismatch 요소를 효율적으로 제어하면서도 입력 신호의 Full-Scale 범위를 유지하는 Mismatch Error Shaping(MES) 기술을 제안한다.

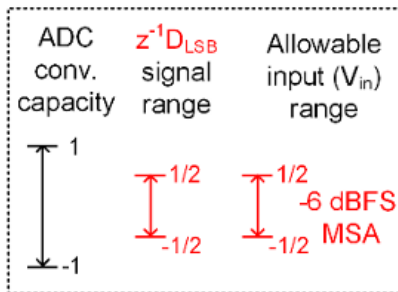
종래의 MES 기법은 DAC 오차를 추출하기 위해 ADC 입력단에 지연된 LSB 성분을 가감하는 방식을 사용하여, 입력 신호의 최대 허용 범위(Maximum Stable Amplitude, MSA)가 줄어드는 치명적인 구조적 단점이 존재했다. 제안한 논문에서는 Partial-Feedback Coarse $\Delta\Sigma$ M 구조를 도입하여, Coarse 루프 내에는 LSB 성분만을 피드백하고 Fine 단계로 Residue Voltage(V_{res})를 넘겨줌으로써 MSA 손실 없이 0 dBFS의 Full-Scale 입력 범위를 보존하였다.

또한, 구현 면적 및 오버헤드를 줄이기 위해 Bitwise Subtraction 기법 기반의 Tri-level RDAC을 제시하였다. Bit-Subtraction을 통해 기존 비트당 2개의 Bi-level DAC 스위치를 1개의 Tri-level DAC 스위치로 대체하여 하드웨어 복잡도를 대폭 개선하였으며, 이때 발생하는 DAC Gain error를 1차 형태로 자연스럽게 Shaping하도록 설계하였다. 더불어 Tri-level RDAC 사용 시 발생할 수 있는 Signal-dependent reference modulation 문제를 해결하기 위해 Dummy DAC을 배치하여 3차 고주파 왜곡 성분(HD3)을 15.5 dB 크게 개선하였다.

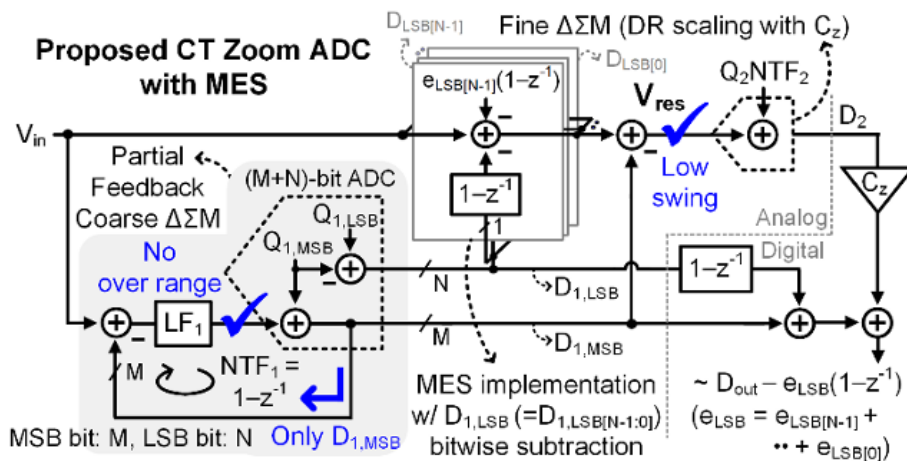
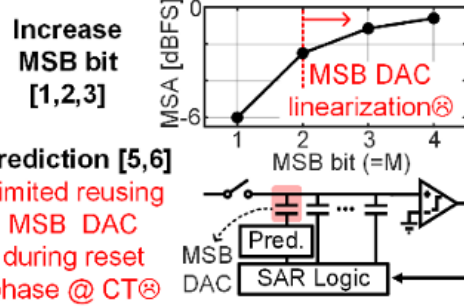
65nm CMOS 공정으로 제작된 제안 IC는 1MHz 대역폭(BW)에서 1.7mW만을 소비하며, 104.8dB SFDR, 90.1dB SNDR, 92.5dB DR의 우수한 성능을 달성하였다. 이는 500kHz 이상의 BW를 갖는 CT ADC 중 최고 수준인 180.2dB의 FoM_{DR} 을 달성한 결과로, 전력 효율과 선형성을 동시에 극대화하였다.



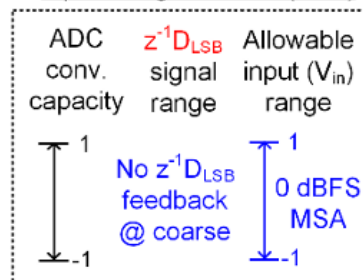
Input Range w/ MES (M=1)



Previous MSA Recovery Solution



Input Range w/ MES (M=1)



V_{res} Derivation

$$\begin{aligned}
 V_{\text{res}} &= V_{\text{in}} - D_{1,\text{MSB}} - D_{1,\text{LSB}}(1-z^{-1}) \\
 &= V_{\text{in}} - \text{STF}_1 \sim 1 \quad \text{Cancellation} \\
 &\quad - V_{\text{in}} \text{STF}_1 - Q_{1,\text{MSB}} \text{NTF}_1 \quad \text{if } \text{NTF}_1 = (1-z^{-1}) \\
 &\quad + Q_{1,\text{MSB}}(1-z^{-1}) - Q_{1,\text{LSB}}(1-z^{-1}) - e_{\text{LSB}}(1-z^{-1}) \\
 &\sim -Q_{1,\text{LSB}}(1-z^{-1}) - e_{\text{LSB}}(1-z^{-1}) \\
 &\quad Q_{1,\text{LSB}} \text{ dependent } \text{Shaped LSB DAC error} \\
 &\quad \text{low swing}
 \end{aligned}$$

[그림 2] 기존 MES over-ranging 문제 (top)와 제안하는 MES - CT zoom ADC 구조 (bottom).

저자정보



박수언 박사과정 대학원생

- 소속 : KAIST
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs0905@gmail.com
- 홈페이지 : <https://icdesignlab.net/>